

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-152497

(43)Date of publication of application : 14.06.1989

(51)Int.Cl.

G09G 3/20

H04N 5/66

(21)Application number : 62-312802

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 09.12.1987

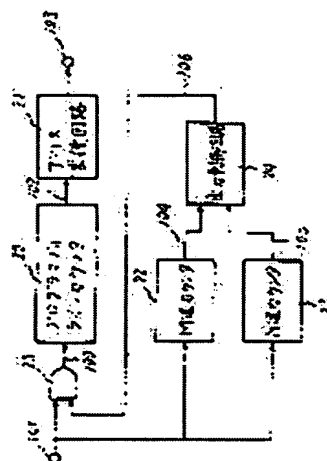
(72)Inventor : TAKEBE HIDEJI
ISHIMOTO AKIHIKO

(54) IMAGE DISLAY DEVICE

(57)Abstract:

PURPOSE: To display a display screen which has lower resolution than a display panel fully on a screen by adding counters to a programmable counter and controlling the counting-up operation of the programmable counter with the output of the counter.

CONSTITUTION: Counters 22 and 23 are added to the programmable counter 20, pulses of a horizontal synchronizing signal 101 inputted to the programmable counter 20 are thinned out with the output of the counters 22 and 23 which periodically vary their outputs 104 and 105 by counting pulses of the horizontal synchronizing signal 102, and in a section wherein the input is thinned out, pixel data of the same line are read out of a refresh memory ≥ 2 times and displayed. Consequently, the screen having lower resolution than the screen can displayed on the display panel whose screen resolution is fixed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑫ 公開特許公報(A)

平1-152497

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月14日

G 09 G 3/20
H 04 N 5/667335-5C
B-7605-5C

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 画像表示装置

⑰ 特 願 昭62-312802

⑱ 出 願 昭62(1987)12月9日

⑲ 発 明 者 武 部 秀 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内⑲ 発 明 者 石 本 昭 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機セミコンダクタ
ソフトウェア株式会社北伊丹事業所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

(1) 表示画面の同期信号発生回路、表示タイミング発生回路、表示画面の画素データを保存するリフレッシュメモリ、このリフレッシュメモリのアドレス発生回路、前記リフレッシュメモリから、表示画面ラスタに対応して読み出された画素データを映像信号に変換するビデオ回路、このビデオ回路の出力を受けて、画面を表示する表示媒体を含む画像表示装置において、

前記アドレス発生回路が、少なくとも、表示画面の水平同期信号を入力クロックとするプログラマブルカウンタ、このプログラマブルカウンタの出力が入力され、表示位置に対応した画素データが保存されているリフレッシュメモリのアドレスを発生するアドレス変換回路、前記水平同期信号を入力クロックとする少なくとも1つのカウンタ、このカウンタの出力が入力されて、前記プログラ

マブルカウンタに水平同期信号の入力クロックの数をカウントアップすることを禁止する禁止信号を出力する出力制御回路から構成されることを特徴とする画像表示装置。

(2) アドレス発生回路が、少なくとも水平同期信号を入力クロックとするプログラマブルカウンタ、このカウンタの出力によつてリフレッシュメモリのアドレスを発生するアドレス変換回路、前記水平同期信号を入力クロックとするM進カウンタ(Mは整数)、前記プログラマブルカウンタにカウントアップ禁止信号を出力する出力制御回路から構成されることを特徴とする特許請求の範囲第1項記載の画像表示装置。

(3) アドレス発生回路が、少なくとも水平同期信号を入力クロックとするプログラマブルカウンタ、このプログラマブルカウンタの出力によつて、リフレッシュメモリのアドレスを発生するアドレス変換回路、水平同期信号を入力クロックとするM進カウンタおよび、N進カウンタ(M、Nは整数)、前記M進カウンタおよび、前記N進カウンタの出

力によつて、前記プログラマブルカウンタに、カウントアップ禁止信号を出力する出力制御回路から構成され、前記M進カウンタの指示値と、前記N進カウンタの指示値とが、あらかじめ指定されたそれぞれの数を示している間、前記プログラマブルカウンタに、カウントアップ禁止信号を出力する出力制御回路から構成されることを特徴とする特許請求の範囲第1項記載の画像表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は表示画面の解像度が固定されている画像表示装置、特に液晶表示パネルあるいはプラズマ表示パネル等を用いた画像表示装置に関する。

〔従来の技術〕

近年、液晶表示パネルあるいはプラズマ表示パネル等の表示パネルにおいて技術革新、低価格化が進み、パーソナルコンピュータにおいてもこれらの表示パネルを用いた可搬型のものが普及してきている。

〔発明が解決しようとする問題点〕

(3)

本発明は上記のような問題点を解決するためになされたもので、表示画像の解像度が固定された表示パネル上に表示パネルの解像度よりも低い解像度をもつた画面を表示する場合でも、表示パネルの画面一杯に表示し見易い画面を出すことができる画像表示装置を提供することを目的とする。

〔問題点を解決するための手段〕

本発明に係る画像表示装置は、プログラマブルカウンタにカウンタを付加しこのカウンタの出力により、プログラマブルカウンタのカウントアップを制御したことにある。

〔作用〕

表示パネルの解像度より低い表示画面を画面一杯に表示するようにしたものである。

〔実施例〕

第1図は、本発明の一実施例である画像表示装置を示すブロック構成図である。同図において(1)は入力源回路であり、マイクロプロセッサ等で構成され、リフレッシュメモリ(4)へ画素データを入力するものである。(2)はメモリアドレス発生回路

(5)

従来パーソナルコンピュータに対応するソフトウェアは過去開発されたものを含めて多数流通しているが、表示媒体の技術進歩に伴い、一般に以前に開発されたソフトウェアに対応する表示画面の解像度は、新しく開発されたソフトウェアに対応する表示画面のそれに比べ低い。したがって、一台のパーソナルコンピュータにおいて利用されるソフトウェアに対応する表示画面の解像度は複数存在することになる。ところで表示パネルは通常表示画面の解像度は固定であり、この表示パネルを用いて表示パネルの解像度より低い表示画面をもつソフトウェアを動作させた場合表示画面は表示パネルの画面サイズより小さくなる。例えば、640ドット×480ドット(縦×横)の解像度をもつ表示パネルを用いて、640ドット×200ドットの画面を表示した場合、第2図に示すように表示画面は全体の $\frac{5}{12}$ と半分以下になり、全体の $\frac{7}{12}$ は非表示部分である。このため表示画面は小さくなり見にくく高解像度の表示パネルを用いた特徴が生かされてこない。

(4)

であり、表示画面の同期信号発生回路(5)及び表示タイミング発生回路(6)より信号を受け、表示すべき画素データが保存されるリフレッシュメモリ(4)のアドレスを出力する。アドレスセレクト(3)は、リフレッシュメモリ(4)の画素データを入力源回路(1)が読み書きする場合には入力源回路のアドレスを選択し、表示のためにリフレッシュメモリの画素データを読み出す場合にはメモリアドレス発生回路(2)の出力を選択する。リフレッシュメモリ(4)からメモリアドレス発生回路(2)の出力アドレスにより読み出された画素データはビデオ回路(7)に投入され、同期信号に同期させて、表示パネル(8)の入力形式に合つた信号に変換され出力される。

第8図は、第1図におけるメモリアドレス発生回路(2)の一実施例である。同図において、(9)はプログラマブルライン・カウンタで、入力に水平同期信号パルスが印加されるとにカウント・アップする。プログラマブルラインカウンタ(9)の出力(102)はアドレス変換回路(10)に投入され、リフレッシュメモリのアドレスに変換され信号(108)とし

(6)

て出力される。一方、水平同期信号(101)は、M進カウンタ $\textcircled{4}$ 及びN進カウンタ $\textcircled{4}$ にクロックとして入力される。M進カウンタ $\textcircled{4}$ 及びN進カウンタ $\textcircled{4}$ の出力(104)、(105)は出力制御回路 $\textcircled{4}$ に入力される。出力制御回路 $\textcircled{4}$ の出力(106)はアンド回路 $\textcircled{4}$ の一方の入力となり、すなわち出力制御回路 $\textcircled{4}$ の出力が“Low”(L)レベルの間はプログラマブルラインカウンタ $\textcircled{4}$ への水平同期信号の入力は禁止される。

第4図は、第8図における出力制御回路 $\textcircled{4}$ の一実施例である。同図において、 $\textcircled{4}$ はアンド回路 $\textcircled{4}$ 及び $\textcircled{4}$ の出力(114)、(115)が2入力となるアンド回路であり、この出力はD型フリップフロップ $\textcircled{4}$ のD入力となる。D型フリップフロップ $\textcircled{4}$ のクロックは水平同期信号パルス(101)が入力され、その立ち下りに同期して入力(107)は出力(108)へ伝達される。 $\textcircled{4}$ はD型フリップフロップ $\textcircled{4}$ の出力(108)、M進カウンタ $\textcircled{4}$ の出力(104)、及びN進カウンタ $\textcircled{4}$ の出力(105)が入力となる入力ノア回路であり、出力はアンド回路の一方の入力(106)

(7)

ットされている。また、入力(125)がLレベルであるため、N(-6)進カウンタ $\textcircled{4}$ の出力(105)はアンド回路 $\textcircled{4}$ の出力(115)に伝達されず常にLレベルになる。さらに出力(115)は常にLレベルであるためアンド回路 $\textcircled{4}$ の出力(107)も常にLレベルになりD型フリップフロップ回路 $\textcircled{4}$ の出力(108)も常にLレベルになる。一方入力(124)はHレベルであるため、M(-8)進カウンタ $\textcircled{4}$ の出力(104)はアンド回路 $\textcircled{4}$ の出力(114)に伝達される。したがってノア回路 $\textcircled{4}$ の出力(106)は、出力(114)の極性を反転した信号となる。すなわち、出力(106)は水平同期信号パルス(101)を8個カウントするごとに1クロックの間Lレベルになり、その他の間はHレベルである。したがってアンド回路 $\textcircled{4}$ の出力(100)は、水平同期信号パルス(100)に比べて8パルスごとに1パルス抜けた信号となり、プログラマブルラインカウンタ $\textcircled{4}$ のカウント値は、パルスが抜けた期間は2パルスにわたって同じ値になり進まない。プログラマブルラインカウンタ $\textcircled{4}$ の出力(102)はアドレス変換回路 $\textcircled{4}$ に入力され、

(9)

である。すなわち、ノア回路 $\textcircled{4}$ の8入力(104)、(105)、(108)のうち少なくとも1入力が高(H)レベルであれば、出力(106)はLレベルになりラスタカウンタ $\textcircled{4}$ へはクロックとして水平同期信号パルスが供給されない。また、アンド回路 $\textcircled{4}$ 及び $\textcircled{4}$ の出力(114)及び(115)は、それぞれ入力(124)及び(125)によつて制御され、これらの入力がHレベルの場合のみ、それぞれM進カウンタ $\textcircled{4}$ 及びN進カウンタ $\textcircled{4}$ の出力(104)及び(105)がアンド回路 $\textcircled{4}$ 及び $\textcircled{4}$ の出力(114)及び(115)へ伝達される。

第5図は、第1図、第8図、第4図に示された本発明の一実施例の動作説明を行なうためのタイミング・チャートである。ただし同図においてはM進カウンタ及びN進カウンタは各々8進カウンタ及び6進カウンタとなつている。

第5図(1)は垂直400ラインの画面に垂直850のラインの画面データを400ラインに拡大して表示する場合のタイミング・チャートである。この場合、プログラマブルラインカウンタ $\textcircled{4}$ は40進にセ

(8)

アドレス変換回路 $\textcircled{4}$ の出力(108)がリフレッシュメモリ $\textcircled{4}$ のアドレスを制御する。したがって、入力(100)で水平同期パルスが抜けている区間では2パルスの区間にわたってリフレッシュメモリ $\textcircled{4}$ 内の同じ表示ラインの画素データを読み出し表示することになる。すなわち、第5図(1)の場合であれば、表示画面の第8表示ラインと第9表示ラインは両方とも第8表示ラインの画素データが表示される。したがって表示ライン40本に対し表示される画素データは85本分であり、垂直400ラインの画面に対し、850ライン分の画素データだけで400ラインの表示がされる。

第5図(2)は垂直480ラインの画面に垂直400のラインの画面データを480ラインに拡大して表示する場合のタイミング・チャートである。この場合、プログラマブルラインカウンタ $\textcircled{4}$ は48進にセットされている。また、入力(124)がLレベルであるため、M(-8)進カウンタ $\textcircled{4}$ の出力(104)はアンド回路 $\textcircled{4}$ の出力(114)に伝達されず常にLレベルになる。さらに出力(114)は常にLレベルで

00

あるためアンド回路 $\textcircled{4}$ の出力(107)も常にLレベルになりD型フリップフロップ回路 $\textcircled{5}$ の出力(108)も常にLレベルになる。一方入力(125)はHレベルであるため、 $N(=6)$ 進カウンタ $\textcircled{6}$ の出力(10)はアンド回路 $\textcircled{4}$ の出力(115)に伝達される。したがってノア回路 $\textcircled{8}$ の出力(106)は、出力(115)の極性を反転した信号となる。すなわち、出力(106)は水平同期信号パルス(101)を6個カウントするごとに1クロックの間Lレベルになり、その他の間はHレベルである。したがってアンド回路 $\textcircled{4}$ の出力(100)は、水平同期信号パルス(100)に比べて6パルスごとに1パルス抜けた信号となり、プログラマブルラインカウンタ $\textcircled{7}$ のカウント値は、パルスが抜けた期間は2パルスにわたって同じ値になり進まない。プログラマブルラインカウンタ $\textcircled{7}$ の出力(102)はアドレス変換回路 $\textcircled{9}$ に入力され、アドレス変換回路 $\textcircled{9}$ の出力(108)がリフレッシュメモリ(4)のアドレスを制御する。したがって、入力(100)で水平同期パルスが抜けている区間では2パルスの区間にわたってリフレッシュメモリ(4)

00

の出力となる。したがってD型フリップフロップ回路 $\textcircled{5}$ の出力(108)には、入力(107)に比べて1クロック遅れた信号が出力される。ノア回路 $\textcircled{8}$ の出力(106)には入力(108)、(114)及び(115)を合成した信号が出力される。以上より第5図(3)に示すように、水平同期信号パルスが48個入力される間すなわち垂直48ライン分の表示される間、プログラマブルラインカウンタ $\textcircled{7}$ のカウント値は85進することになり、リフレッシュメモリ(4)から読み出される画素データは85ライン分である。したがって垂直480ラインの画面を表示するためには850ライン分の画素データですませることができ、この場合850ラインを480ラインに拡大するための専用のカウンタは必要なく、850ラインを400ラインに拡大するための8進カウンタと400ラインを480ラインに拡大するための6進カウンタを組み合わせて第4図に示した実施例のように簡単な出力制御回路を付加することにより実現している。

なお、第6図に補足的に表示ラインと表示され

01

内の同じ表示ラインの画素データを読み出し表示することになる。すなわち第5図(2)の場合であれば、表示画面の第6表示ラインと第7表示ラインは両方とも第6表示ラインの画素データが表示される。したがって表示ライン48本に対し表示される画素データは40本分であり、垂直480ラインの画面に対し、400ライン分の画素データだけで400ラインの表示がされる。

第5図(3)は垂直480ラインの画面に対し垂直850ラインの画面データを480ラインに拡大して表示する場合のタイミング・チャートである。この場合、プログラマブルラインカウンタ $\textcircled{7}$ は48進にセットされている。入力(124)及び(125)は共にHレベルにセットされているため、 $M(=8)$ 進カウンタ $\textcircled{8}$ の出力(104)及び $N(=6)$ 進カウンタ $\textcircled{6}$ の出力(105)はそれぞれアンド回路 $\textcircled{4}$ 及び $\textcircled{5}$ の出力(114)並びに(115)に伝達される。一方、出力(114)及び(115)は、水平同期信号パルスが48個入力されるごとに1パルスの区間同時にHレベルになるため、アンド回路 $\textcircled{4}$ の出力(107)も同様

02

る画素データのライン番号の関係を示す。

〔発明の効果〕

以上のように、本発明の画像表示装置では、プログラマブルカウンタに別途カウンタを付加し、このカウンタが水平同期信号パルスをカウントすることによりその出力を周期的に変化させ、このカウンタの出力により、プログラマブルカウンタに入力される水平同期信号パルスを間引き、入力の間引かれた区間においてはリフレッシュメモリから同一ラインの画素データを2回以上読み出し表示することにより、画面の解像度が固定された表示パネル上に画面の解像度より低い解像度をもつ画面を拡大して表示することを可能にした。

4. 図面の簡単な説明

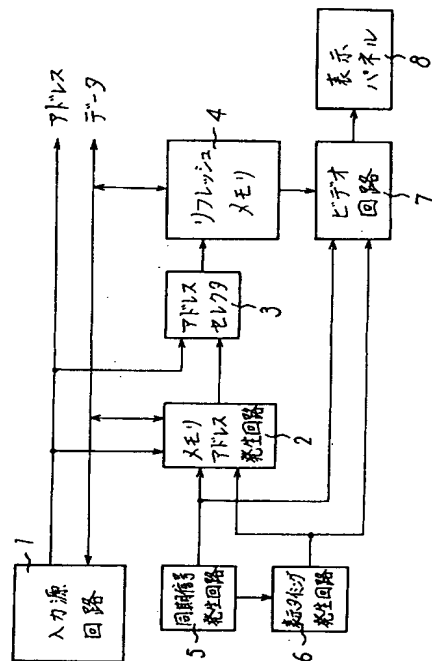
第1図は本発明の一実施例のシステム・ブロック図、第2図は従来のシステムに対応する表示画面例を示す正面図、第3図は本発明によるアドレス制御回路の一実施例を示すブロック図、第4図は本発明による出力制御回路の一実施例を示すブロック図、第5図は本発明による一実施例を説明

するためのタイミングチャート図、第6図は表示ライン番号と、表示される画素データのライン番号の関係図である。

1：入力源回路、2：メモリアドレス発生回路、8：アドレスセクタ、4：リフレッシュメモリ、5：同期信号発生回路、6：表示タイミング発生回路、7：ビデオ回路、8：表示パネル、20：プログラマブルラインカウンタ、21：アドレス変換回路、22：M進カウンタ、23：N進カウンタ、24：出力制御回路、25、26：2入力AND回路、27：D型フリップフロップ回路、28：3入力NOR回路、101：水平同期信号、102：プログラマブルラインカウンタ20の出力、108：メモリアドレス出力、104：M進カウンタ22の出力、105：N進カウンタ23の出力、106：出力制御回路24の出力、107：D型フリップフロップ27の出力。

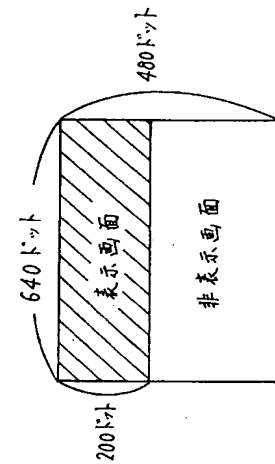
代理人 大岩 増 雄

第1図



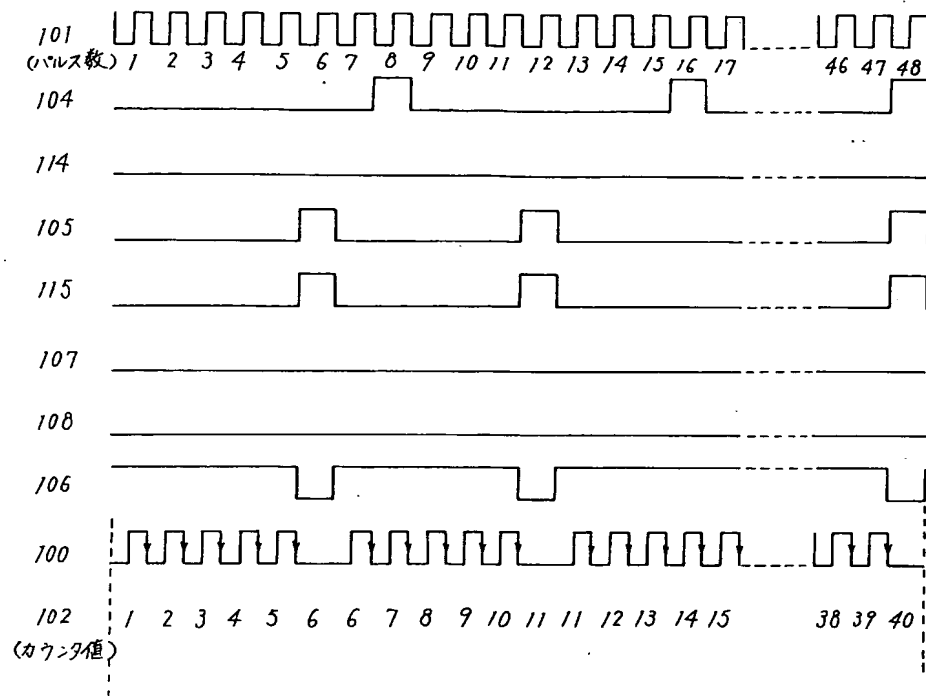
2:メモリアドレス発生回路
4:リフレッシュメモリ
5:同期信号発生器
6:表示タイミング発生回路
7:ビデオ回路

第2図



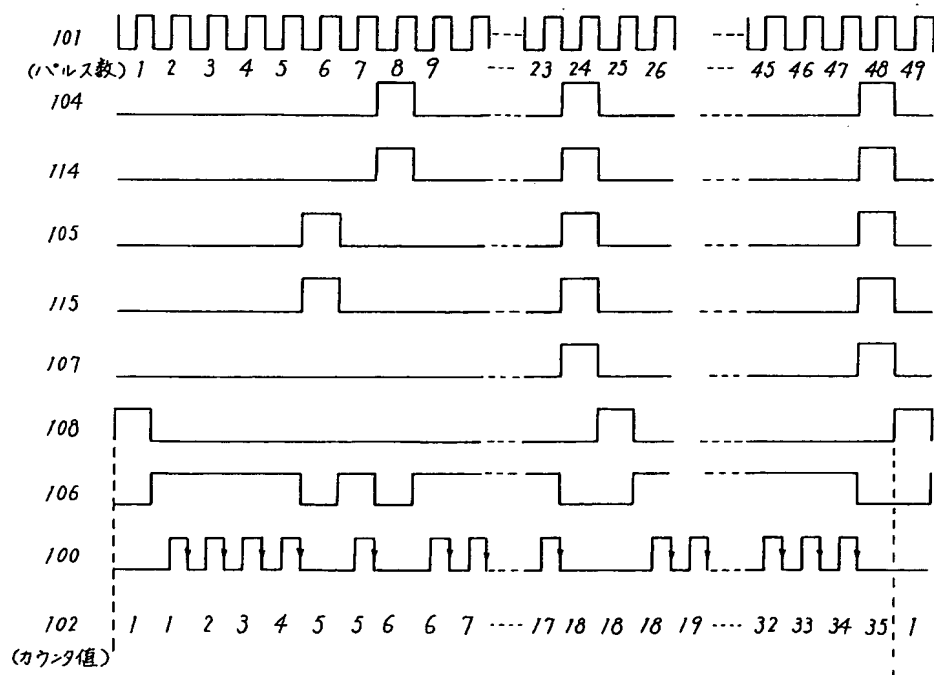
第 5 図 (2)

入力 124 = 'L'レベル, 入力 125 = 'H'レベルの場合

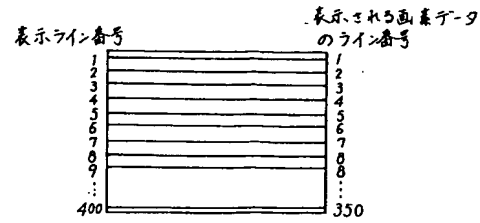


第 5 図 (3)

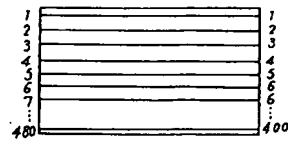
入力 124 = 'H'レベル, 入力 125 = 'H'レベルの場合



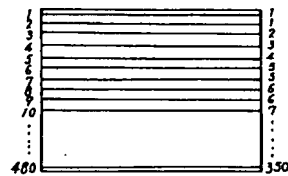
第 6 図



350ライン → 400ライン



400ライン → 400ライン



350ライン → 400ライン